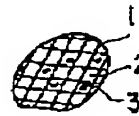


TITLE : PRODUCTION OF SEMICONDUCTOR  
CHIP

(d) **ダイソート**



ウェハー表面  
ウェハー裏面

(b) 表面レジスト  
塗布



Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate with a top layer labeled "ウエハー裏面" (Wafer back surface) and a bottom layer labeled "ウエハー表面" (Wafer front surface). A central region is labeled "20" and a side region is labeled "21".

(c) 露光・現像

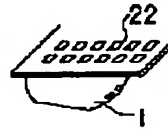


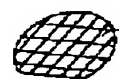
Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate with a top layer labeled "ウェハー裏面" (Wafer back surface) and a bottom layer labeled "ウェハー表面" (Wafer front surface). A central region is labeled "20" and a side region is labeled "21".

#### (d) エッチング



Fig. 1 is a cross-sectional view of a semiconductor device. It shows a substrate with a top surface (20) and a bottom surface (21). A layer (23) is formed on the top surface, and a layer (22) is formed on the bottom surface. A central region is labeled 1.

### (e) レジスト特性



(f) ダイシング

[illegible]

**ABSTRACT :** PURPOSE: To prevent dust from adhering directly onto the surface of a semiconductor chip.

**CONSTITUTION:** A semiconductor wafer 1 is coated, on the rear surface thereof, with photosensitive resist 20 which is then exposed through a mask pattern corresponding to dicing lines 21 and developed. Subsequently, dicing lines 23 are formed in the rear surface by etching and the photosensitive resist 20 is stripped. Finally, the semiconductor wafer 1 is diced along the dicing lines 21 to produce semiconductor chips.

COPYRIGHT: (C)1996,JPO

92689

M336-EP サ-フレ-ト

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-279478

(43) 公開日 平成8年(1996)10月22日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/301			H 0 1 L 21/78	L
27/14				Q
				S
			27/14	D

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平7-78878

(22) 出願日 平成7年(1995)4月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 正木 彰

神奈川県横浜市磯子区新磯子町33番地 株

式会社東芝生産技術研究所内

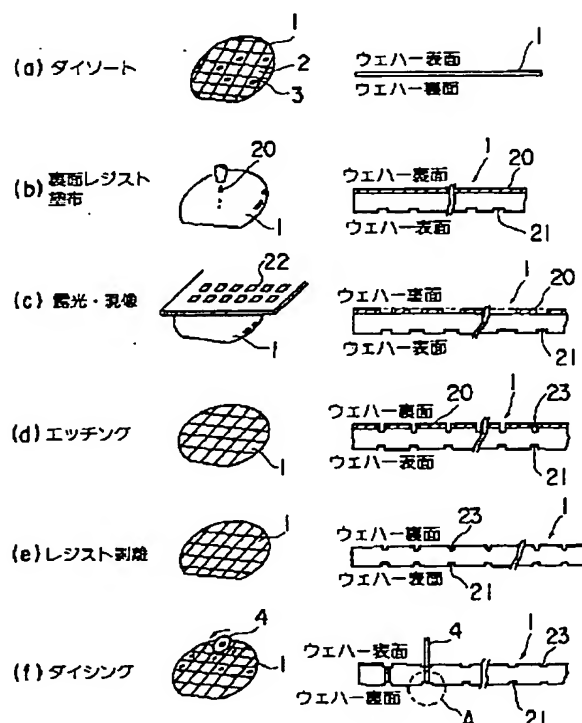
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体チップ製造方法

(57) 【要約】

【目的】本発明は、半導体チップ表面にダストが直接的に付着することを防止する。

【構成】半導体ウエハ(1)の裏面に感光性レジスト(20)を塗布し、次にダイシングライン(21)に対応したマスクパターンを通して感光性レジスト(20)に対して露光・現像処理を行い、次にエッチング処理して裏面ダイシングライン(23)を形成し、この後、感光性レジスト(20)を剥離し、ダイシングライン(21)に沿って半導体ウエハ(1)をダイシングし、各半導体チップに分ける。



1

## 【特許請求の範囲】

【請求項1】 半導体ウエハ表面のダイシングラインに沿ってダイシングして各半導体チップに分割する半導体チップ製造方法において、  
前記半導体ウエハ裏面に前記ダイシングラインと対応する裏面ダイシングラインを形成し、この後に表面のダイシングラインに沿ってダイシングすることを特徴とする半導体チップ製造方法。

【請求項2】 半導体ウエハ表面のダイシングラインに沿ってダイシングして各半導体チップに分割する半導体チップ製造方法において、  
前記半導体ウエハ裏面に感光性レジストを塗布するレジスト塗布工程と、  
前記ダイシングラインに対応したパターンが形成されたマスクにより前記感光性レジストに対して露光・現像処理を行う露光・現像工程と、  
この露光・現像処理された前記レジストを通して前記半導体ウエハ裏面をエッチング処理し、裏面ダイシングラインを形成するエッチング工程と、  
前記半導体ウエハから前記レジストを剥離する剥離工程と、  
前記半導体ウエハ表面のダイシングラインに沿ってダイシングするダイシング工程と、を有することを特徴とする半導体チップ製造方法。

【請求項3】 裏面ダイシングラインは、半導体ウエハ裏面に形成されている裏面破砕層より深いエッチング深さに形成されることを特徴とする請求項2記載の半導体チップ製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、CCD（固体撮像素子）等の半導体チップを製造する工程において、半導体ウエハに対するダイシング時の裏面カケ等の発生やダスト付着による不良の発生を防止する半導体チップ製造方法に関する。

## 【0002】

【従来の技術】図3はCCDの製造工程図である。半導体ウエハ下地工程の終了した半導体ウエハ1は、良品／不良品を選別するダイソートテストの工程に移る。この工程は、半導体ウエハ1に対して良品の半導体チップ2と不良品の半導体チップ3との選別を行い、このうち不良品チップ3に対してインクによりマーキングを行う。

【0003】次にダイシング工程に移り、半導体ウエハ1は、ダイシングブレード4により所定のチップサイズに切り分けられる。

【0004】このように各半導体チップ2、3に切り分けられると、このうち良品の半導体チップ2のみが選別されてマウントコレット5に装着され、セラミックパッケージ6にマウントされる。なお、このセラミックパッケージ6には、マウントペーストが塗布されている。

2

【0005】この後、半導体チップ2のボンディングパッドとセラミックパッケージ6のインナーリードとがアルミワイヤー7により電気的に接続される。

【0006】そして、最終的にセラミックパッケージ6は、熱硬化樹脂の塗布してるガラスリット8により封止される。

【0007】しかしながら、このような製造方法では、ダイシング時に、図4に示すように半導体ウエハ1のウエハ裏面破砕層9の部分にダンシングブレード切削抵抗によるシリコン屑ダスト（ウエハ裏面カケ）10が発生する。

【0008】このシリコン屑ダスト10の発生によりこのダスト10が、マウントコレット5による各半導体チップ2のピックアップ時に飛び出し、半導体ウエハ1の表面に付着してしまう。これらのダストは、後行程の洗浄では除去が困難なものである。

【0009】ところで、CCDのような半導体チップ2の表面の光学的特性がその機能に影響する場合、半導体チップ2の表面にダストが付着すると、これらダストにより光学的な影ができ、CCD製造の歩留まりが著しく低下してしまう。

【0010】そのうえ、近年の半導体高集積化に伴い、CCDの画素サイズは5μm以下になろうとする状況下において、ダスト付着による問題は益々大きくなっている。

## 【0011】

【発明が解決しようとする課題】以上のように半導体ウエハ1のダイシング時におけるシリコン屑ダスト10の発生し、このダスト10が半導体ウエハ1の表面に付着して光学的特性に影響を与えてしまう。

【0012】そこで本発明は、半導体チップ表面にダストが直接的に付着することを防止できる半導体チップ製造方法を提供することを目的とする。

## 【0013】

【課題を解決するための手段と作用】請求項1によれば、半導体ウエハ表面のダイシングラインに沿ってダイシングして各半導体チップに分割する半導体チップ製造方法において、半導体ウエハ裏面に表面のダイシングラインと対応する裏面ダイシングラインを形成し、この後に表面のダイシングラインに沿ってダイシングする。これによりダイシング時に裏面カケが発生せず、マウントピックアップ時に半導体ウエハ表面に対するダストの付着が防止できる。

【0014】請求項2によれば、この半導体チップ製造方法は、レジスト塗布工程において半導体ウエハ裏面に感光性レジストを塗布し、次の露光・現像工程においてダイシングラインに対応したパターンが形成されたマスクにより感光性レジストに対して露光・現像処理を行い、次のエッチング工程においてレジストを通して半導体ウエハ裏面をエッチング処理し、裏面ダイシングライ

50

ンを形成する。

【0015】この後、剥離工程において半導体ウエハからレジストを剥離し、ダイシング工程において半導体ウエハ表面のダイシングラインに沿ってダイシングする。

【0016】請求項3によれば、裏面ダイシングラインは、半導体ウエハ裏面に形成されている裏面破砕層より深いエッチング深さに形成されている。

【0017】

【実施例】以下、本発明の一実施例について図面を参照して説明する。

【0018】図1は半導体チップ製造方法を示す工程図である。半導体ウエハ下地工程の終了した半導体ウエハ1は、同図(a)に示す良品/不良品を選別するダイソートテストの工程に移る。

【0019】この工程は、半導体ウエハ1に対して良品の半導体チップ2と不良品の半導体チップ3との選別を行い、このうち不良品チップ3に対してインクによりマーキングを行う。

【0020】次に裏面レジスト塗布の工程に移る。この工程は、同図(b)に示すように半導体ウエハ1の表裏を逆転し、半導体ウエハ1の裏面に感光性レジスト20をスピコートにより塗布する。なお、半導体ウエハ1の表面には、予めダンシングライン21が形成されている。

【0021】次に露光・現像工程に移る。この工程は、同図(c)に示すように感光性レジスト20の塗布された半導体ウエハ1の裏面側に、マスク22を配置する。

【0022】このマスク22には、半導体ウエハ1表面のダイシングライン21と一致し、かつその幅がダイシングライン21よりも広く100 $\mu$ m程度のラインのマスクパターンが形成されている。そして、このマスク22は、マスクパターンとダイシングライン21とを位置合わせして配置される。

【0023】このマスク22の位置合わせの後、露光用光源からの露光用光がマスク22を通して感光性レジスト20に照射される。これにより、半導体ウエハ1の裏面における、感光性レジスト20のダイシングライン21に対応した部分のみが幅100 $\mu$ m程度で露出する。

【0024】次にエッチング工程に移る。この工程は、同図(d)に示すようにレジスト20に対する露光・現像処理の終了した半導体ウエハ1に対してエッチング処理を行う。このエッチング処理により、半導体ウエハ1の裏面には、幅100 $\mu$ m程度で、深さ数10 $\mu$ mのエッチングによる裏面ダイシングライン23が形成される。

【0025】このときのエッチング深さは数10 $\mu$ mであるが、この深さは図2に示すように半導体ウエハ1における強度的に弱いウエハ裏面破砕層9の厚みよりも深く形成される。

【0026】このエッチング工程が終了すると、次にレ

ジスト剥離工程に移る。この工程は、図1(e)に示すように半導体ウエハ1の裏面に塗布した感光性レジスト20を剥離する。

【0027】次にダイシング工程に移り、同図(f)に示すように半導体ウエハ1は、ダイシングブレード4により所定のチップサイズに切り分けられる。

【0028】このとき、ダイシング部分は、図2に示すように幅100 $\mu$ m程度、深さ数10 $\mu$ mの裏面ダイシングライン23を形成することから、ダイシングブレード4の応力によりシリコン屑ダストが発生しなくなる。

【0029】このように半導体ウエハ1が各半導体チップに切り分けられると、このうち良品の各半導体チップは、それぞれマウントコレットによりピックアップされ、マウントペーストの塗布されたセラミックパッケージにマウントされる。

【0030】このマウントコレットによる半導体チップのピックアップ時、半導体ウエハ1にシリコン屑ダストが発生しないことから、このダストは半導体ウエハ1の表面に付着することはない。

【0031】その後、半導体チップ2のボンディングパッドとセラミックパッケージのインナーリードとがアルミワイヤーにより電氣的に接続される。

【0032】そして、最終的にセラミックパッケージは、熱硬化樹脂の塗布してガラスリットにより封止される。

【0033】このように上記一実施例においては、半導体ウエハ裏面に感光性レジスト20を塗布し、次にダイシングラインに対応したマスクパターンを通して感光性レジスト20に対して露光・現像処理を行い、次にエッチング処理して裏面ダイシングライン23を形成し、この後、感光性レジスト20を剥離し、ダイシングラインに沿ってダイシングするようにしたので、各半導体チップのマウントコレットによるピックアップ時にシリコン屑ダストの発生を防止でき、半導体ウエハ1の表面に対するシリコン屑ダストの付着を大幅に低減できる。

【0034】従って、CCDのような半導体チップ2の表面の光学的特性がその機能に影響する場合、半導体チップ2の表面にダストが付着しないので、CCDの光学的特性を劣化することはない。

【0035】このことはCCDに限らず、半導体チップの表面の光学的特性を要求される紫外線消去型メモリ、個別半導体であるフォトダイオード等についてもダストの付着しない効果は顕著である。

【0036】又、高集積化した4MDRAM、16MDRAM等の半導体チップの表面の光学的特性を要求されない素子に対しては、半導体チップ表面に載ったシリコン屑ダストが、微細化した素子、パッシベーション膜を傷付けてダメージを与えるケースがあるが、このような高集積化素子に対してもシリコン屑ダストの付着がなくなり、微細化した素子、パッシベーション膜を傷付けて

5

ダメージを与えることがなくなる。

【0037】一方、このように半導体チップ表面に対するダストの付着を防止できるので、CCD等の各半導体素子の製造工程において歩留まりの低下をなくすることができる。

【0038】又、エッチング深さを半導体ウエハ1における強度的に弱いウエハ裏面破砕層9の厚みよりも深く形成しているのので、ウエハ裏面破砕層9に接触することなくダイシングでき、シリコン屑ダストの発生をより確実に防止できる。

【0039】なお、本発明は、上記一実施例に限定されるものでなく次の通りに変形してもよい。

【0040】例えば、裏面ダイシングラインの形成は、エッチング処理に限らず、ダイヤモンドブレードによる方法を用いてもよい。

【0041】

6

【発明の効果】以上詳記したように本発明によれば、半導体チップ表面にダストが直接的に付着することを防止できる半導体チップ製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明に係わる半導体チップ製造方法の一実施例を示す工程図。

【図2】裏面ダイシングラインを形成した半導体ウエハの断面図。

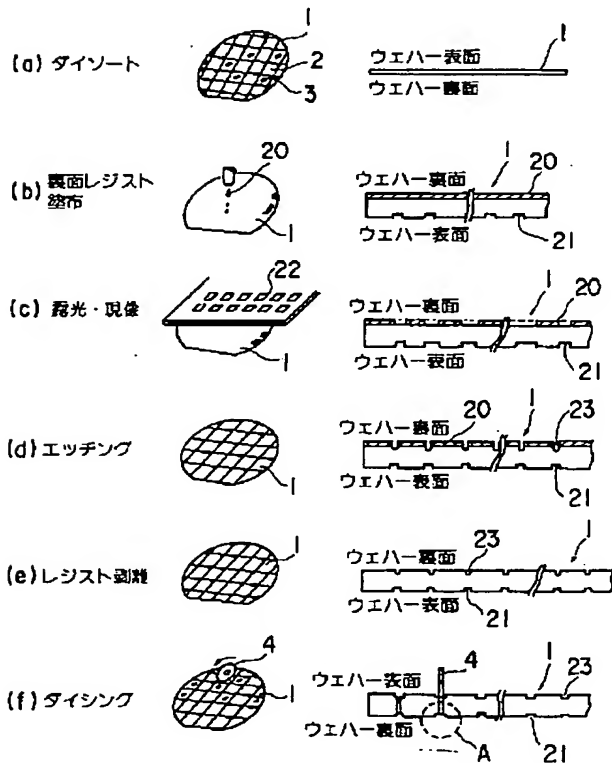
【図3】従来の製造方法を示す工程図。

10 【図4】シリコン屑ダストを示す図。

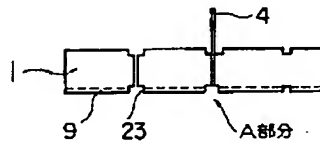
【符号の説明】

1…半導体ウエハ、2…良品の半導体チップ、3…不良品の半導体チップ、20…感光性レジスト、21…ダンシングライン、22…マスク、23…裏面ダイシングライン。

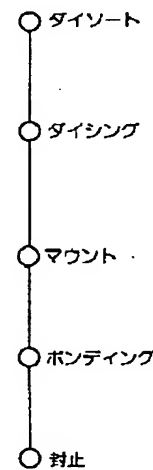
【図1】



【図2】



【図3】



【図4】

